

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-158939

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

H04N 5/445

H04N 5/278

(21)Application number : 2000-352270

(71)Applicant : HITACHI LTD

HITACHI VIDEO & INF SYST INC

(22)Date of filing : 20.11.2000

(72)Inventor : YOSHIZAWA KAZUHIKO

WATANABE TOSHIMITSU

NONAKA YASUSHI

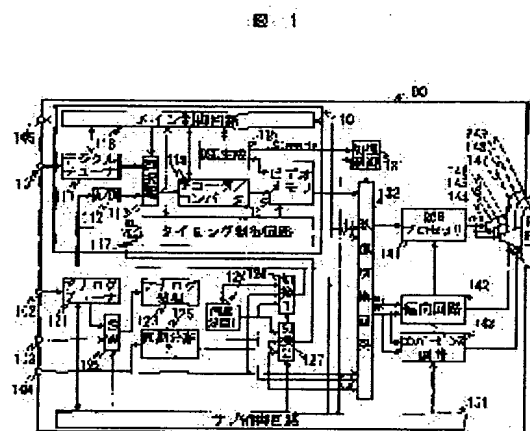
NAKAMURA SHINICHI

(54) TELEVISION RECEIVER DEALING WITH DIGITAL BROADCASTING

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a display of OSD information without necessity of signal processing in a digital broadcasting receiver by a video signal input from an external video input terminal.

SOLUTION: In a television receiver dealing with digital broadcasting, a digital broadcasting receiver circuit 110 generates a prescribed signal and processes to superimpose a received video signal with the generated prescribed signal when the prescribed signal is superimposed on the video signal received at a digital broadcasting receiving terminal 105 and displayed. Further, the circuit 110 generates the prescribed signal when the prescribed signal is superimposed on the video signal input from the external video signal input terminal 104 or selectively displayed. A video switching circuit 132 generates the prescribed signal and processes to select or superimpose the input signal with the prescribed signal generated by the circuit 132.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A digital-broadcasting receiving terminal and the digital-broadcasting receiving circuit which a digital broadcast wave is inputted from said digital-broadcasting receiving terminal, and can perform decode processing of compressed data, In the television set corresponding to digital broadcasting which has an external video signal input terminal and a control circuit The video signal outputted from said digital-broadcasting receiving circuit and the video signal inputted from said external video signal input terminal are inputted. The image change-over circuit which outputs the video signal which chose and outputted one side of the inputted video signal, or performed superposition processing, In superimposing and displaying a Sadanobu Tokoro number on the video signal which was equipped with the change-over control circuit which controls video-signal change-over processing of said image change-over circuit, and was received with said digital-broadcasting receiving terminal In said digital-broadcasting receiving circuit, generation of a Sadanobu Tokoro number and superposition processing with said generated Sadanobu Tokoro number and said received video signal are performed. moreover, in superimposing or choosing and displaying a Sadanobu Tokoro number on the video signal inputted from said external video signal input terminal The television set corresponding to digital broadcasting characterized by generating a Sadanobu Tokoro number in said digital-broadcasting receiving circuit, and performing superposition processing with said generated Sadanobu Tokoro number and said inputted video signal, or selection processing in said image change-over circuit.

[Claim 2] In the television set according to claim 1 corresponding to digital broadcasting said digital-broadcasting receiving circuit It has the function which outputs a flag signal further when the Sadanobu Tokoro number generated to the video signal to output is contained. Said image change-over circuit It consists of a switch which chooses and outputs one side of the outputted video signal and the video signal inputted from said external video signal input terminal from said digital-broadcasting receiving circuit. Said change-over control circuit The control signal outputted from said control circuit and the flag signal outputted from said digital-broadcasting receiving circuit are embraced. It directs to choose the video signal which the control signal outputted from said control circuit inputted from said external video signal input terminal. And only when it is shown that the Sadanobu Tokoro number is not contained in the video signal with which the flag signal outputted from said digital-broadcasting receiving circuit is outputted from said digital-broadcasting receiving circuit Video-signal change-over processing of said image change-over circuit is controlled to choose the video signal inputted from said external video signal input terminal. In being other The television set corresponding to digital broadcasting characterized by controlling video-signal change-over processing of said image change-over circuit to choose the video signal outputted from said digital-broadcasting receiving circuit.

[Claim 3] In the television set according to claim 1 corresponding to digital broadcasting said digital-broadcasting receiving circuit It has the function which outputs a flag signal further when the Sadanobu Tokoro number generated to the video signal to output is contained. Said image change-over circuit m The video signal outputted from said digital-broadcasting receiving circuit The 1st coefficient multiplier to double, n The video signal inputted from said external video signal input terminal The 2nd coefficient multiplier to double, It consists of a configuration equipped with the adder adding the output of said 1st coefficient multiplier, and the output of said 2nd coefficient multiplier. Said change-over control circuit The control signal outputted from said control circuit and the flag signal outputted from said digital-broadcasting receiving circuit are embraced. When it is being directed that the control signal outputted from said control circuit chooses the video signal outputted from said digital-broadcasting receiving circuit m and n are controlled to add the video signal outputted from said digital-broadcasting receiving circuit, and the video signal inputted from said external video signal input

terminal by 1:0. It directs to choose the video signal which (however, m and n being the natural numbers used as $m+n=1$) and the control signal outputted from said control circuit inputted from said external video signal input terminal. and when it is shown that the Sadanobu Tokoro number is not contained in the video signal with which the flag signal outputted from said digital-broadcasting receiving circuit is outputted from said digital-broadcasting receiving circuit m and n are controlled to add the video signal outputted from said digital-broadcasting receiving circuit, and the video signal inputted from said external video signal input terminal by 0:1. Furthermore, the television set corresponding to digital broadcasting characterized by controlling m and n to add the video signal outputted from said digital-broadcasting receiving circuit, and the video signal inputted from said external video signal input terminal by the ratio set up beforehand in being other.

[Claim 4] In the television set according to claim 1, 2, or 3 corresponding to digital broadcasting It has further the synchronizing separator circuit which inputs the video signal inputted from said external video signal input terminal, and detects a Horizontal Synchronizing signal and a Vertical Synchronizing signal. In superimposing and displaying a Sadanobu Tokoro number on the video signal inputted from said external video signal input terminal Said digital-broadcasting receiving circuit is a television set corresponding to digital broadcasting characterized by inputting said Horizontal Synchronizing signal and Vertical Synchronizing signal which were detected, and generating the Sadanobu Tokoro number which synchronized with said Horizontal Synchronizing signal and Vertical Synchronizing signal which were inputted.

[Claim 5] It is a television set corresponding to digital broadcasting characterized by performing detection actuation of the Horizontal Synchronizing signal from the video signal inputted from said external video signal input terminal, and a Vertical Synchronizing signal only when said synchronizing separator circuit superimposes a Sadanobu Tokoro number on the video signal inputted from said external video signal input terminal in the television set according to claim 4 corresponding to digital broadcasting and it displays.

[Claim 6] The television set corresponding to digital broadcasting characterized by supplying and displaying the video signal outputted to any 1 term from said image change-over circuit in the television set corresponding to digital broadcasting of a publication claim 1 thru/or among 5 on an indicating equipment.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About a television set, this invention carries the digital-broadcasting receiving circuit which can receive digital broadcasting especially, and relates to the television set corresponding to digital broadcasting which it chooses or superimposes and can display Sadanobu Tokoro numbers, such as an on-screen display (On-Screen-Display:OSD) signal, on the video signal inputted from the digital program, the analog program, and the external input terminal suitably.

[0002]

[Description of the Prior Art] The digital-broadcasting receiving circuit which can receive digital broadcasting is carried, and an example of the television set corresponding to digital broadcasting which can be displayed suitably is indicated by JP,11-41489,A in the digital program and the analog program.

[0003] In this official report, when displaying OSD information, in the digital-broadcasting receiving circuit which performs reception of digital broadcasting, a recovery, decode of compressed data, etc. at the time of digital-broadcasting reception, it is made to perform generation and superposition processing of an OSD signal to coincidence. On the other hand, at the time of analog broadcasting reception, the received analog video signal is once changed into a digital signal, it inputs into the above-mentioned digital-broadcasting receiving circuit, and format conversion processing and superposition processing of an OSD signal are performed in the above-mentioned digital-broadcasting receiving circuit. Moreover, although there is no detailed publication in the above-mentioned official report, also when it superimposes an OSD signal on the video signal inputted from the external video input terminal, the same video signal as the time of analog broadcasting reception of the above-mentioned explanation processed namely, inputted is once changed into a digital signal, it inputs into the above-mentioned digital-broadcasting receiving circuit, and format conversion processing and superposition processing of an OSD signal are performed in the above-mentioned digital-broadcasting receiving circuit.

[0004] Thus, in the case of the video signal inputted from the input signal and external video input terminal of analog broadcasting, with the television set, format conversion processing and superposition processing of an OSD signal are performed in the digital-broadcasting receiving circuit.

[0005]

[Problem(s) to be Solved by the Invention] However, there is a case where he does not want to perform signal processing in the above-mentioned digital-broadcasting receiving circuit, about the video signal inputted from the external video input terminal. For example, since image quality degradation accompanying A/D conversion, D/A conversion, etc. occurs by performing signal processing in the above-mentioned digital-broadcasting receiving circuit when the video signal inputted from the external video input terminal is a video signal of a highly minute format, as for the inputted video signal of a highly minute format, it is desirable not to pass a digital-broadcasting receiving circuit. However, since the video signal of a highly minute format does not pass through the above-mentioned digital-broadcasting receiving circuit in this case, superposition processing of an OSD signal cannot be performed. therefore, the display of an OSD signal -- it can do -- 7 -- it is -- **

[0006] The video signal inputted from the external video input terminal does not need signal processing in a digital-broadcasting receiving circuit, but the purpose of this invention is to, offer the television set corresponding to digital broadcasting which enables presenting of OSD information and yet.

[0007]

[Means for Solving the Problem] The digital-broadcasting receiving circuit which this invention inputs a digital broadcast wave from a digital-broadcasting receiving terminal and said digital-broadcasting receiving terminal,

and can perform decode processing of compressed data, In the television set corresponding to digital broadcasting which has an external video signal input terminal and a control circuit The video signal outputted from said digital-broadcasting receiving circuit and the video signal inputted from said external video signal input terminal are inputted. The image change-over circuit which outputs the video signal which chose and outputted one side of the inputted video signal, or performed superposition processing, In superimposing and displaying a Sadanobu Tokoro number on the video signal which was equipped with the change-over control circuit which controls video-signal change-over processing of said image change-over circuit, and was received with said digital-broadcasting receiving terminal In said digital-broadcasting receiving circuit, generation of a Sadanobu Tokoro number and superposition processing with said generated Sadanobu Tokoro number and said received video signal are performed. moreover, in superimposing or choosing and displaying a Sadanobu Tokoro number on the video signal inputted from said external video signal input terminal It is a television set corresponding to digital broadcasting characterized by generating a Sadanobu Tokoro number in said digital-broadcasting receiving circuit, and performing superposition processing with said generated Sadanobu Tokoro number and said inputted video signal, or selection processing in said image change-over circuit.

[0008] By this invention, said digital-broadcasting receiving circuit has the function which outputs a flag signal further when the Sadanobu Tokoro number generated to the video signal to output is contained. Said image change-over circuit It consists of a switch which chooses and outputs one side of the outputted video signal and the video signal inputted from said external video signal input terminal from said digital-broadcasting receiving circuit. Said change-over control circuit The control signal outputted from said control circuit and the flag signal outputted from said digital-broadcasting receiving circuit are embraced. It directs to choose the video signal which the control signal outputted from said control circuit inputted from said external video signal input terminal. And only when it is shown that the Sadanobu Tokoro number is not contained in the video signal with which the flag signal outputted from said digital-broadcasting receiving circuit is outputted from said digital-broadcasting receiving circuit Video-signal change-over processing of said image change-over circuit is controlled to choose the video signal inputted from said external video signal input terminal. In being other It is a television set corresponding to digital broadcasting characterized by controlling video-signal change-over processing of said image change-over circuit to choose the video signal outputted from said digital-broadcasting receiving circuit.

[0009] By this invention, said digital-broadcasting receiving circuit has the function which outputs a flag signal further when the Sadanobu Tokoro number generated to the video signal to output is contained. Said image change-over circuit m The video signal outputted from said digital-broadcasting receiving circuit The 1st coefficient multiplier to double, n The video signal inputted from said external video signal input terminal The 2nd coefficient multiplier to double, It consists of a configuration equipped with the adder adding the output of said 1st coefficient multiplier, and the output of said 2nd coefficient multiplier. Said change-over control circuit The control signal outputted from said control circuit and the flag signal outputted from said digital-broadcasting receiving circuit are embraced. When it is being directed that the control signal outputted from said control circuit chooses the video signal outputted from said digital-broadcasting receiving circuit m and n are controlled to add the video signal outputted from said digital-broadcasting receiving circuit, and the video signal inputted from said external video signal input terminal by 1:0. It directs to choose the video signal which however, m and n being the natural numbers used as $m+n=1$) and the control signal outputted from said control circuit inputted from said external video signal input terminal. and when it is shown that the Sadanobu Tokoro number is not contained in the video signal with which the flag signal outputted from said digital-broadcasting receiving circuit is outputted from said digital-broadcasting receiving circuit m and n are controlled to add the video signal outputted from said digital-broadcasting receiving circuit, and the video signal inputted from said external video signal input terminal by 0:1. Furthermore, when other, it is a television set corresponding to digital broadcasting characterized by controlling m and n to add the video signal outputted from said digital-broadcasting receiving circuit, and the video signal inputted from said external video signal input terminal by the ratio set up beforehand.

[0010] This invention is a television set corresponding to digital broadcasting characterized by supplying and displaying the video signal outputted from said image change-over circuit on an indicating equipment.

[0011]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained using a drawing.

[0012] Drawing 1 is the block diagram showing the gestalt of operation of the 1st of the television set corresponding to digital broadcasting in this invention. The video signal inputted from the video signal to which

the digital broadcast wave which the data compression was performed and was transmitted in the television set corresponding to digital broadcasting of the gestalt of this operation was received, and signal processing, such as decoding of digital data, was performed, the video signal to which the present, for example, NTSC system, analog broadcast wave was received, and signal processing was performed, and the external video input terminal is chosen or superimposed suitably, and it is the projection TV (Projection-TV:PTV) which can be displayed.

[0013] In drawing 1, 100 is a television set corresponding to digital broadcasting, and the receiving terminal of an NTSC system analog broadcast wave present [101] in the receiving terminal of a digital broadcast wave and 102, the external composite video-signal input terminal which inputs the general composite video signal with which 103 is outputted from image output equipment, such as VTR, the external component video-signal input terminal which inputs the component video signal with which 104 is outputted from image output equipment, such as a DVD player, and 105 are communication link terminals which communicate the digital-broadcasting receiving situation of the television set corresponding to digital broadcasting.

[0014] Moreover, the digital tuner with which 110 is a digital-broadcasting receiving circuit, and 111 performs signal processing, such as a channel selection of a digital broadcast wave, a recovery, and an error correction, The A/D-conversion circuit where 112 changes an analog video signal into digital image data, As opposed to the selector which carries out the selection output of the data stream to which 113 was outputted from the digital tuner 111, and the digital image data outputted from the A/D-conversion circuit 112, and the digital data which 114 inputted When input data is the data stream outputted from the digital tuner 111, decode processing of compressed data is mainly performed. The decoder/converter which mainly performs format conversion processing when input data is digital image data outputted from the A/D-conversion circuit 112, The OSD generation circuit where 115 generates OSD information, such as a menu for adjustment, The video memory to which 116 has a D/A conversion circuit in an output stage, and 117 control the signal output timing of video memory 116. The timing control circuit which generates Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD to coincidence, and 118 are the Main control circuits which mainly control the digital-broadcasting receiving circuit 110.

[0015] Moreover, the analog tuner with which 121 performs signal processing, such as a channel selection of an analog broadcast wave, and a recovery, The video selector which chooses the video signal with which 122 was outputted from the analog tuner 121, and the video signal inputted from the external composite video-signal input terminal 103, The analog signal processing circuit which performs signal processing, such as Y/C separation processing and color recovery processing, to the video signal with which 123 was outputted from the video selector 122, The 1st synchronizing separator circuit which detects Vertical Synchronizing signal VD from the luminance signal of the video signal with which 124 was outputted from the analog signal processing circuit 123, 125 is the 2nd synchronizing separator circuit which detects Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD from the luminance signal of the video signal inputted from the external component video-signal input terminal 104.

[0016] Moreover, the 1st change-over circuit which chooses the video signal outputted from the analog signal processing circuit 123 according to the instruction of the sub control circuit of the after-mentioned [126], the video signal inputted from the external component video-signal input terminal 104, and Horizontal Synchronizing signal HD outputted from the 2nd synchronizing separator circuit 125, The 2nd change-over circuit which chooses Vertical Synchronizing signal VD with which 127 is outputted from the 1st synchronizing separator circuit 124 according to the instruction of a sub control circuit, and Vertical Synchronizing signal VD outputted from the 2nd synchronizing separator circuit 125, The change-over control circuit which performs change-over control of the below-mentioned image change-over circuit according to the OSD enable signal with which 131 is outputted from the OSD generation circuit 115, and the control instruction outputted from the below-mentioned sub control circuit, The video signal, Horizontal Synchronizing signal HD, and Vertical Synchronizing signal VD with which 132 is outputted from the digital-broadcasting receiving circuit 110 according to the output of the change-over control circuit 131, It is the image change-over circuit which carries out the selection output of the video signal inputted from the external component video-signal input terminal 104, Horizontal Synchronizing signal HD outputted from the 2nd synchronizing separator circuit 125, and Vertical Synchronizing signal VD.

[0017] Moreover, 141 inputs the video signal outputted from the image change-over circuit 132. The RGB processor which performs signal processing for driving transform processing to each primary signal of RGB, and the below-mentioned projection CRT etc., The deflection circuit which 142 inputs Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD, and generates a horizontal deflection wave and a vertical

deflection wave, The convergence circuit which 143 inputs Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD, and generates a convergence amendment wave, The DY/CY unit in which 144,145,146 carried the deflecting yoke and convergence yoke for the object for R projection CRTs, the object for G projection CRTs, and B projection CRTs, respectively, 147,148,149 is the projection CRT for R signals, a projection CRT for G signals, and a projection CRT for B signals, respectively. 151 is a sub control circuit which mainly controls parts other than digital-broadcasting receiving-circuit 110 of the television set 100 corresponding to this digital broadcasting according to directions of the Main control circuit 118.

[0018] When receiving digital broadcasting first, the case where an OSD signal is superimposed on the received digital-broadcasting image is explained.

[0019] The digital broadcast wave inputted into the digital-broadcasting receiving terminal 101 through the digital-broadcasting receiving dish (not shown) is inputted into the digital tuner 111 in the digital-broadcasting receiving circuit 110. In the digital tuner 111, channel selection and recovery processing, error correction processing, etc. are performed according to the instruction of the Main control circuit 118. The data outputted from the digital tuner 111 are a digital data train generally called a transport stream (Transport-Stream: call it Following TS), and consist of packet-ized voice data, image data, control data, etc. TS outputted from the digital tuner 111 is inputted into a decoder / converter 114 through a selector 113. A decoder / converter 114 is digital digital disposal circuits which have the decode function of compressed data, the format conversion function of digital image data, etc.

[0020] When the video signal which performed only decode processing of compressed data when the video signal tuned [which tuned in and received at the digital-broadcasting reception time / the video signal] in was a highly minute format, and was received and tuned in is a standard format, decode processing and format conversion processing of compressed data are performed. In addition, decode processing of compressed data performed with the gestalt of this operation is made to be the same as that of decode processing of common MPEG 2 method compressed data, and since decode processing of compressed data is not the main function to make the description of this invention, detailed explanation is omitted with the gestalt of this operation.

[0021] Drawing 2 is drawing explaining the format conversion processing in the decoder / converter 114 of drawing 1. In the case of a highly minute format as shown in this drawing (A), an aspect ratio 16:9, and the interlace signal of 1080 effective scanning lines, the image data which the aspect ratio of a screen shall be 16:9, tuned in with the digital tuner 111, and were decoded by the decoder / converter 114 output the television set corresponding to digital broadcasting of the gestalt of this operation as it is, without performing format conversion. On the other hand, in the case of a standard format as shown in this drawing (B), an aspect ratio 4:3, and the interlace signal of 480 effective scanning lines, format conversion processing is performed. That is, it is performing the interpolation operation by digital signal processing so that the side panel section's may be added to right and left of a display screen so that an aspect ratio's may be set to 16:9, and effective scanning lines' may become 540 progressive signals further etc.

[0022] The processing which changes the interlace signal of 480 effective scanning lines into the progressive signal of 540 effective scanning lines as mentioned above needs a complicated digital digital disposal circuit. However, also when carrying out a screen display of the image data of a highly minute format by the above-mentioned processing, and also when carrying out a screen display of the image data of a standard format, the horizontal deflection frequency becomes the same, does not need a complicated multi-scan horizontal deflection circuit, but can realize it in the horizontal deflection circuit of a single scan.

[0023] Also in the signal which has another format with which the image data which tuned in with the digital tuner 111 and were decoded by the decoder / converter 114 differ from the above-mentioned explanation, it is good to change into an aspect ratio 16:9, the interlace signal of 1080 effective scanning lines or an aspect ratio 16:9, and the progressive signal of 540 effective scanning lines by format conversion. In addition, if a multi-scan horizontal deflection circuit is used, it cannot be overemphasized that the above-mentioned format conversion processing becomes unnecessary.

[0024] A decoder / converter 114 communicates with the Main control circuit 118 at the same time it performs decode processing of compressed data. The Main control circuit 118 tells a digital-broadcasting feeder about the receiving situation of digital broadcasting through the communication link terminal 105 based on the information from a decoder / converter 114. When the digital broadcast wave which received is charged broadcast, a subscription fee is charged based on the above-mentioned receiving situation.

[0025] In video memory 116, as soon as it writes in the image data outputted from the decoder / converter 114 one by one and the data for the 1 field are assembled, the video signal changed into the analog signal is

outputted in accordance with the output timing of Horizontal Synchronizing signal HD generated in the timing control circuit 117, and Vertical Synchronizing signal VD by the D/A conversion circuit.

[0026] In addition, generally decode processing of the compressed data in a decoder / converter 114 and the synchronizing signal generation processing in the timing control circuit 117 serve as asynchronous actuation in many cases. Therefore, he is trying for video memory 116 to amend the gap with the timing of a decoder / converter 114 of operation, and the timing of the timing control circuit 117 of operation with the gestalt of this operation by considering as the configuration which has the R/W combination memory (Random-Access-Memory: call it Following RAM) which can store the above image data by the at least 1 field, and performing infanticide of image data, and a repeat per field.

[0027] Drawing 3 is drawing in which decode processing of the compressed data in the decoder / converter 114 of drawing 1 shows the timing of the video-signal output actuation of video memory 116 in the case of being late as compared with the synchronizing signal generation processing in the timing control circuit 117. In this drawing, the image data with which 301 is outputted from a decoder / converter 114, Vertical Synchronizing signal VD with which 302 is outputted from the timing control circuit 117, and 303 are video signals which are outputted from video memory 116 and which were changed into the analog signal.

[0028] In this drawing, the gap with the timing of a decoder / converter 114 of operation and the timing of the timing control circuit 117 of operation is amended by repeating and outputting the video signal of the field 3 the middle. Moreover, with the gestalt of this operation, the image data outputted from a decoder / converter 114 shall be data of the YPbPr format of a luminance signal and a color-difference signal, therefore RAM in video memory 116 shall have the data volume for a total of three fields for the object for Y signals, the object for Pb signals, and Pr signals. In addition, the data volume of RAM in amending the gap with the timing of a decoder / converter 114 of operation and the timing of the timing control circuit 117 of operation by infanticide of the image data in the Rhine unit and the repeat, then video memory 116 is good at a total of three lines.

[0029] In superimposing on a video signal and displaying OSD information at the time of digital-broadcasting reception, it performs superposition processing with a video signal and an OSD signal by video memory 116. In displaying OSD information on a screen, it generates an OSD signal first in the OSD generation circuit 115. The generated OSD signal will be superimposed on a video signal by being written in video memory 116. In addition, the writing to the video memory 116 of an OSD signal is realizable by replacing with the image data in which OSD data are written by video memory 116 for every pixel. In addition, it is easy to be made to perform replacement processing of the above-mentioned data at a vertical-synchronization period etc.

[0030] Drawing 4 is drawing showing the example of the OSD signal superposition procedure in the video memory 116 of drawing 1. In this drawing, they are the image data with which Horizontal Synchronizing signal HD which generates 401 in the timing control circuit 117, and 402 are outputted from a decoder / converter 114, the OSD signal with which 403 is outputted from the OSD generation circuit 115, and the video signal which 404 was superimposed on the OSD signal outputted from video memory 116, and was changed into the analog signal.

[0031] As shown in this drawing, when displaying OSD information, at the time of digital-broadcasting reception, a video signal is outputted to the video signal outputted from the digital-broadcasting receiving circuit 110 in the condition of already having been superimposed on the OSD signal. In addition, in this drawing, in order to simplify explanation, there shall be no gap of the timing of a decoder / converter 114 of operation and the timing of the timing control circuit 117 of operation.

[0032] The video signal, Horizontal Synchronizing signal HD, and Vertical Synchronizing signal VD which were outputted from the digital-broadcasting receiving circuit 110 are inputted into the image change-over circuit 132. At the time of digital-broadcasting reception, the image change-over circuit 132 carries out the selection output of the video signal, Horizontal Synchronizing signal HD, and Vertical Synchronizing signal VD which were outputted from the digital-broadcasting receiving circuit 110 only according to the control signal outputted from the sub control circuit 151.

[0033] In the RGB processor 141, processing which amplifies the processing and the input signal level which change the inputted video signal (the gestalt of this operation YPbPr format) into each primary signal of RGB on the electrical potential difference for driving a projection CRT 147,148,149, direct-current playback, hue adjustment, profile amendment, etc. are processed. Moreover, it is made to synchronize with inputted Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD, a deflection waveform is generated, and the deviation of the electron beam of the projection tubing 147,148,149 is controlled by the deflection circuit 142 through the deflecting yoke carried in the DY/CY unit 144,145,146. In a convergence circuit 143, the

convergence amendment wave for performing convergence adjustment of each color is generated.

[0034] By the above processing, the digital program which received displaying OSD information suitably if needed can be projected at the time of digital-broadcasting reception.

[0035] Next, when receiving analog broadcasting, and when inputting the general composite video signal outputted from image output equipment, such as VTR, from an external composite video-signal input terminal, the case where an OSD signal is superimposed on the above-mentioned video signal is explained.

[0036] When receiving analog broadcasting, the analog broadcast wave inputted into the analog broadcasting receiving terminal 102 through the analog broadcasting receiving dish (not shown) is inputted into the analog tuner 121. In the analog tuner 121, according to the instruction of the sub control circuit 151, channel selection, recovery processing, etc. are performed and it is outputted to the video selector 122. The general composite video signal outputted on the other hand from image output equipment, such as VTR inputted from the external composite video-signal input terminal 103, is inputted into the video selector 122 as it is.

[0037] In the video selector 122, a video signal is chosen according to the instruction of the sub control circuit 151. The video signal outputted from the video selector 122 is a composite signal of an analog, and signal processing, such as Y/C separation processing and color recovery processing, is performed to it in the analog signal processing circuit 123. In addition, in this analog signal processing circuit 123, transform processing of a signal format is also performed if needed. That is, when the video signal which finished Y/C separation processing and color recovery processing, for example is the format of YIQ and the signal format which a latter digital disposal circuit (the gestalt of this operation the decoder / converter 114 in the digital-broadcasting receiving circuit 110) needs is a format of YPbPr, formal conversion by signal processing from a YIQ format to a YPbPr format is performed.

[0038] The outputted video signal is inputted into the A/D-conversion circuit 112 in the digital-broadcasting receiving circuit 110 through the 1st change-over circuit 126 from the analog signal processing circuit 123. The image data changed into the digital data in the A/D-conversion circuit 112 are inputted into a decoder / converter 114 through a selector 113, and format conversion processing is performed to them.

[0039] When receiving analog broadcasting, and in inputting a composite video signal from the external composite video-signal input terminal 103, a decoder / converter 114 does not function as a digital decoder, but functions as a format conversion circuit. That is, the composite video signals inputted from the receiving image of analog broadcasting and the external composite video-signal input terminal 103 are an aspect ratio 4:3 and an interlace signal of 480 effective scanning lines like what was generally shown in drawing 2 (B). Therefore, in order to enable use of the horizontal deflection circuit of a single scan as well as the above-mentioned explanation, format conversion is performed with the gestalt of this operation.

[0040] The image data to which format conversion processing was performed by the decoder / converter 114 are inputted into video memory 116, and the same processing as the time of digital-broadcasting reception is henceforth performed to them. It is also the same as when displaying OSD information, therefore when a composite video signal is inputted from the time of analog broadcasting reception, and an external composite signal input terminal, the above-mentioned video signal can be projected, displaying OSD information suitably if needed.

[0041] Next, when inputting a component video signal from the external component video-signal input terminal 104, the case where an OSD signal is superimposed on the inputted component video signal is explained.

[0042] The video signal outputted from the component image output terminal or D terminals of image output equipment, such as a DVD player and a set top box (Set-Top-Box:STB) for digital-broadcasting reception When the video signal especially inputted when it inputted through the external component video-signal input terminal 104 is a component video signal of a highly minute format Signal processing, such as decode processing of compressed data, and Y/C separation processing, color recovery processing, format conversion processing, becomes entirely unnecessary from an external composite video-signal input terminal like [at the time of inputting a video signal] at the time of digital-broadcasting reception of the above-mentioned explanation, and analog broadcasting reception.

[0043] Therefore, when the component video signal of a highly minute format is inputted from the external component video-signal input terminal 104, the inputted video signal is inputted into the direct video-signal change-over circuit 132. However, with the gestalt of this operation, also when the component video signal of a highly minute format is inputted from the external component video-signal input terminal 104, in order to display OSD information, the digital-broadcasting receiving circuit 110 is operated as an OSD information generating circuit by performing the following processings.

[0044] The writing to the video memory 116 of the image data first outputted to operating the digital-broadcasting receiving circuit 110 as an OSD information generating circuit from a decoder / converter 114 is stopped. Next, only the OSD signal generated in the OSD generation circuit 115 is written in video memory 116, and the written-in OSD signal is changed and outputted to an analog video signal by the D/A conversion circuit of the video memory 116 interior. From the OSD generation circuit 115, an OSD enable signal is outputted to coincidence. This OSD enable signal is a flag signal which shows whether the OSD signal exists in the video signal outputted from video memory 116, and with the gestalt of this operation, when an OSD enable signal is 'H', it is shown that the OSD signal exists in the video signal.

[0045] In addition, the OSD signal and OSD enable signal which are outputted from the digital-broadcasting receiving circuit 110 of the above-mentioned explanation need to synchronize with the component video signal of a highly minute format to level timing and perpendicular timing. Therefore, the component video signal of a highly minute format inputted from the external component video-signal input terminal 104 is inputted into the 2nd synchronizing separator circuit 125, and detection processing of Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD is performed to it at the same time it is inputted into the image change-over circuit 132.

[0046] Detected Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD are inputted into the timing control circuit 117 in the digital-broadcasting receiving circuit 110 through the 1st change-over circuit 126 and the 2nd change-over circuit 127, respectively. Moreover, detection processing of Horizontal Synchronizing signal HD in the 2nd synchronizing separator circuit 125 and Vertical Synchronizing signal VD is good to make it make it operate, only when the component video signal of a highly minute format is inputted from the external component video-signal input terminal 104. When digital broadcasting was received by doing in this way, or when a general composite video signal is inputted from image output equipment, such as VTR, when analog broadcasting is received, it becomes possible to prevent producing synchronous active jamming in a display image.

[0047] In the timing control circuit 117, the control signal for controlling the signal output timing of video memory 116 on the basis of Horizontal Synchronizing signal HD detected from the component video signal of a highly minute format and Vertical Synchronizing signal VD is generated. The basic clock which specifically synchronized with Horizontal Synchronizing signal HD using the general PLL (Phase-Locked-Loop) circuit etc. is generated, and the counter which is reset with Vertical Synchronizing signal VD and which can count up a field period at least is driven. The output timing of video memory 116 is controlled by the control signal generated with this counter.

[0048] Superposition processing with the component video signal of the highly minute format inputted from the external component video-signal input terminal 104 and the video signal which consisted of only OSD signals generated in the digital-broadcasting receiving circuit 110 is performed in the change-over control circuit 131 and the image change-over circuit 132.

[0049] Drawing 5 is drawing showing an example of the internal configuration of the change-over control circuit 131 of drawing 1, and the image change-over circuit 132. Drawing 6 R> 6 is drawing showing the timing of drawing 5 of operation.

[0050] It is the change-over control circuit 131 and the image change-over circuit 132 which showed 131 and 132 to drawing 1 in drawing 5. The input terminal which inputs the OSD enable signal with which further 501 is outputted from the OSD generation circuit 115 in the digital-broadcasting receiving circuit 110 of drawing 1, The input terminal into which 502 inputs the control signal from the sub control circuit 151, the input terminal which inputs the video signal with which 503 is outputted from the video memory 116 in the digital-broadcasting receiving circuit 110, The input terminal which inputs the component video signal of a highly minute format which inputted 504 from the external component video-signal input terminal 104, and 505 are output terminals which output the video signal which finished superposition processing with an OSD signal.

[0051] Moreover, it is the OR circuit from which 513 constitutes the change-over control circuit 131, and the circuit where 514 constitutes the image change-over circuit 132, and is the switch which carries out the selection output of one side of the inputted video signal. In addition, although the image change-over circuit 132 originally also has the selection output circuit of Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD, since the simple multiplexer of 2 to 1 is sufficient as the above-mentioned selection output circuit, it is omitting the publication in this drawing.

[0052] Moreover, in drawing 6, the component video signal of a highly minute format with which 601 is inputted into Horizontal Synchronizing signal HD, and 602 is inputted into the input terminal 504 of drawing 5 from the

external component video-signal input terminal 104, the OSD signal which 603 is outputted from the video memory 116 in the digital-broadcasting receiving circuit 110, and is inputted into the input terminal 503 of drawing 5, and 604 are an OSD enable signal and the video signal which finished superposition processing of an OSD signal in which 605 was outputted from the output terminal 505 of the image change-over circuit 132.

[0053] With the gestalt of this operation, the change-over control circuit 131 is a simple OR circuit. Moreover, the control signal which is outputted from the sub control circuit 151 and inputted into the control signal input terminal 502 is a signal which becomes with 'H' in other than 'L' and the above, when displaying the video signal of a highly minute format inputted from the external component video-signal input terminal 104. Therefore, a switch 514 carries out the selection output of the video signal fundamentally inputted from the input terminal 504, when displaying the video signal of a highly minute format inputted from the external component video-signal input terminal 104.

[0054] Since an OSD enable signal is set to 'H' when an OSD signal exists in the video signal outputted on the other hand from the digital-broadcasting receiving circuit 110 which is functioning as an OSD information generating circuit, only the period carries out the selection output of the OSD signal inputted from the input terminal 503. Consequently, the video signal with which it was superimposed on an OSD signal like a video signal 605 will be outputted from an output terminal 505.

[0055] Drawing 7 is drawing showing another example of the internal configuration of the change-over control circuit 131 of drawing 1, and the image change-over circuit 132. Moreover, drawing 8 is drawing showing the timing of drawing 7 of operation.

[0056] It is the change-over control circuit 131 and the image change-over circuit 132 which showed 131 and 132 to drawing 1 in drawing 7. The input terminal which inputs the OSD enable signal with which further 701 is outputted from the OSD generation circuit 115 in the digital-broadcasting receiving circuit 110 of drawing 1, The input terminal into which 702 inputs the control signal from the sub control circuit 151, the input terminal which inputs the video signal with which 703 is outputted from the video memory 116 in the digital-broadcasting receiving circuit 110, The input terminal which inputs the component video signal of a highly minute format which inputted 704 from the external component video-signal input terminal 104, and 705 are output terminals which output the video signal which finished superposition processing with an OSD signal.

[0057] Moreover, 713 is an addition control circuit and constitutes the change-over control circuit 131. The 1st coefficient multiplier which m Doubles the video signal which 714 inputted, and 715 n Are the 2nd coefficient multiplier to double and an adder with which 716 adds the 1st coefficient multiplier 714 and the 2nd coefficient multiplier adder 716 about the inputted video signal, and constitute the image change-over circuit 132. In addition, the multiplier values m and n are the natural numbers used as $m+n=1$, and are controlled by the addition control circuit 713. Moreover, omitting the publication of the selection output circuit of Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD has the same image change-over circuit 132 also with the gestalt of this operation.

[0058] Moreover, the component video signal of a highly minute format with which 801 is inputted into Horizontal Synchronizing signal HD, and 802 is inputted into the input terminal 704 of drawing 7 from the external component video-signal input terminal 104 in drawing 8, The OSD signal which 803 is outputted from the video memory 116 in the digital-broadcasting receiving circuit 110, and is inputted into the input terminal 703 of drawing 7, 804 by using the circuit shown in drawing 7 which is an OSD enable signal and the video signal which finished superposition processing of an OSD signal in which 805 and 806 were outputted from an output terminal 705 When OSD information is superimposed and displayed on the component video signal of a highly minute format inputted from the external component video-signal input terminal 104, According to an OSD enable signal and the control signal from the sub control circuit 151, an OSD signal and the video signal of a highly minute format will be added by m:n, and since the original video signal penetrates also in the part which shows the OSD signal, the contents check of a video signal becomes easy. For example, if it is m:n=2:2, the addition signal of an OSD signal and the video signal of a highly minute format becomes like the video signal 805 of drawing 8, and m:n=3:1, then a video signal like the video signal 806 of drawing 8 will be outputted from an output terminal 705.

[0059] In addition, with the gestalt of this operation, in displaying the component video signal of a highly minute format inputted from the external component video-signal input terminal 104, without superimposing an OSD signal, it is set to m:n=0:4, and in displaying the video signal conversely outputted from the digital-broadcasting receiving circuit 110, it is set to m:n=4:0.

[0060] Superposition processing of an OSD signal is attained by the above processing, without making the

component video signal of a highly minute format inputted from the external component input terminal 104 pass through a digital-broadcasting receiving circuit.

[0061] Drawing 9 is the block diagram showing the gestalt of operation of the 2nd of the television set corresponding to digital broadcasting in this invention. In drawing 9, what has the same number as drawing 1 functions as drawing 1 similarly, and omits detailed explanation.

[0062] The television set [in / in 900 / the gestalt of this operation] corresponding to digital broadcasting, As opposed to the digital tuner with which 910 performs a digital-broadcasting receiving circuit and 911 performs signal processing, such as a channel selection of a digital broadcast wave, a recovery, and an error correction, and the digital data which 914 inputted The digital decoder which performs decode processing of compressed data, the OSD generation circuit where 915 generates OSD information, such as a menu for adjustment, The video memory to which 916 has a D/A conversion circuit in an output stage, and 917 control the signal output timing of video memory 916. The timing control circuit which generates Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD to coincidence, and 918 are the Maine control circuits which mainly control the digital-broadcasting receiving circuit 910.

[0063] Moreover, the 1st synchronizing separator circuit which detects Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD from the luminance signal of the video signal with which 924 was outputted from the analog signal processing circuit 123, The 1st change-over circuit which chooses Horizontal Synchronizing signal HD outputted from the 1st synchronizing separator circuit 924 according to the instruction of the sub control circuit of the after-mentioned [926], and Horizontal Synchronizing signal HD outputted from the 2nd synchronizing separator circuit 125, The 2nd change-over circuit which chooses Vertical Synchronizing signal VD outputted from the 1st synchronizing separator circuit 924 according to the instruction of the sub control circuit of the after-mentioned [927], and Vertical Synchronizing signal VD outputted from the 2nd synchronizing separator circuit 125, The 3rd change-over circuit where 928 chooses a format conversion circuit, the component video signal of the highly minute format as which 929 was inputted from the external component video-signal input terminal 104, and the video signal outputted from the format conversion circuit 928, 951 is a sub control circuit which mainly controls parts other than digital-broadcasting receiving-circuit 910 of the television set corresponding to this digital broadcasting according to directions of the Maine control circuit 918.

[0064] In the television set corresponding to digital broadcasting of the gestalt of this operation, when receiving digital broadcasting, the same processing as the example shown in drawing 1 is performed. Moreover, it is the same as that of the gestalt of operation of drawing 1 until it finishes signal processing in the analog signal processing circuit 123, when receiving analog broadcasting, and also when inputting a general composite video signal from the external composite video-signal input terminal 103. Furthermore, the video signal to which Y/C separation processing outputted from the analog signal processing circuit 123, color recovery processing, etc. were performed is inputted into the format conversion circuit 928 while it is inputted into the 1st synchronizing separator circuit 924.

[0065] With the gestalt of this operation, neither the receiving video signal of an analog broadcast wave nor the composite video signal inputted from the external composite video-signal input terminal 103 performs signal processing in the digital-broadcasting receiving circuit 910. Therefore, the format conversion circuit 928 of dedication is needed. The format conversion processing in the format conversion circuit 928 is the same as the processing shown in drawing 2 (B). Needless to say, a multi-scan horizontal deflection circuit may be used in the deflection circuit section, without performing format conversion processing.

[0066] Superposition processing of the OSD signal at the time of an OSD information display is performed like the processing in the case of inputting a component video signal from the external component video-signal input terminal 104 of the gestalt of operation of drawing 1. Therefore, Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD need to supply the digital-broadcasting receiving circuit 910, therefore it is made to perform detection of Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD in the 1st synchronizing separator circuit 924 with the gestalt of this operation.

[0067] When inputting a component video signal from the external component video-signal input terminal 104, about the case where an OSD signal is superimposed on the inputted component video signal, superposition processing of an OSD signal is attained like the gestalt of operation of drawing 1 like the gestalt of operation of drawing 1 therefore, without making the component video signal of a highly minute format inputted from the external component input terminal 104 pass through a digital-broadcasting receiving circuit.

[0068] The video signal to which the digital broadcast wave which the data compression was performed and was

transmitted in this equipment was received, and signal processing, such as decoding of digital data, was performed with the gestalt of implementation of explanation above, Moreover, although the video signal inputted from the video signal and external video input terminal to which the present, for example, NTSC system, analog broadcast wave was received, and signal processing was performed was chosen or superimposed suitably and was explained as digital-broadcasting correspondence PTV which can be displayed The effectiveness of this invention can apply not only PTV but the cathode-ray tube [conventional] television of a direct viewing type, a liquid crystal television, and a front projection mold projector.

[0069]

[Effect of the Invention] According to this invention, the video signal inputted from the external video input terminal does not need signal processing in a digital-broadcasting receiving circuit, but, and yet, the television set corresponding to digital broadcasting which enables presenting of OSD information can be offered.

[Translation done.]

* NOTICES *

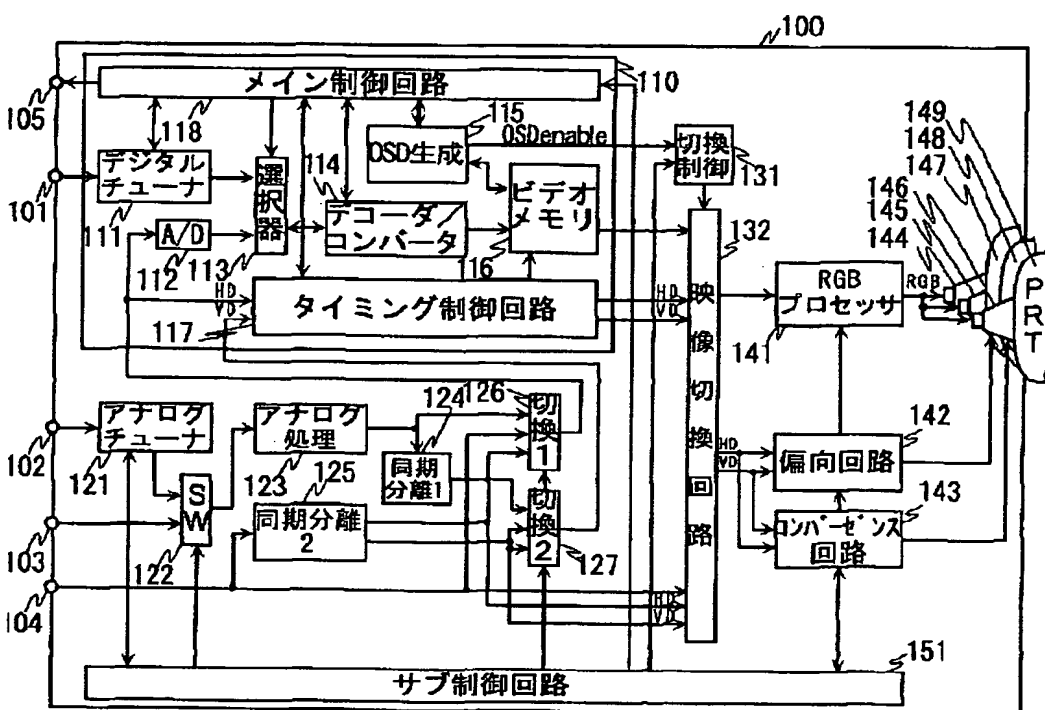
JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

図 1



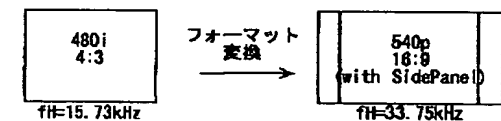
[Drawing 2]

図 2

(A)

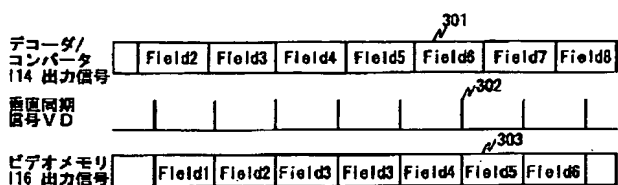


(B)



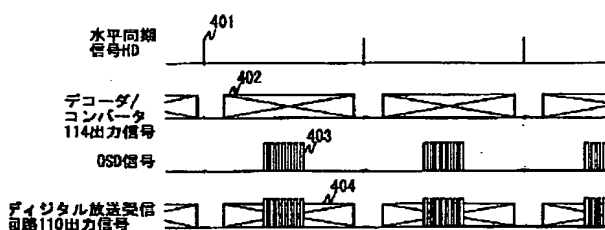
[Drawing 3]

図 3



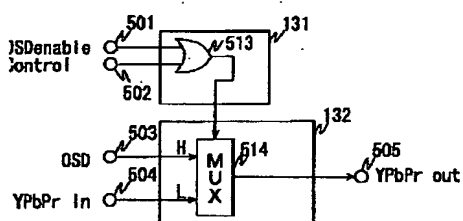
[Drawing 4]

図 4



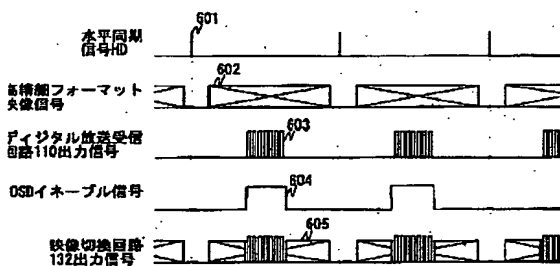
[Drawing 5]

図 5



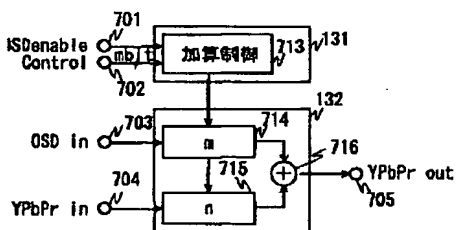
[Drawing 6]

図 6



[Drawing 7]

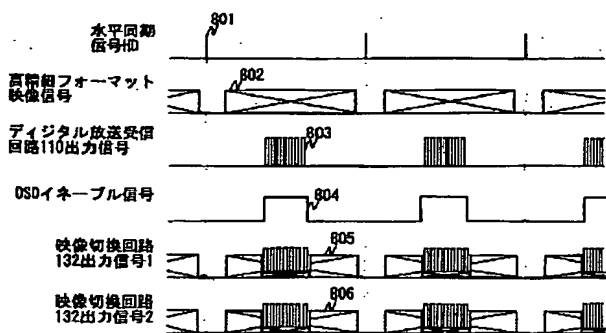
図 7



[Drawing 8]

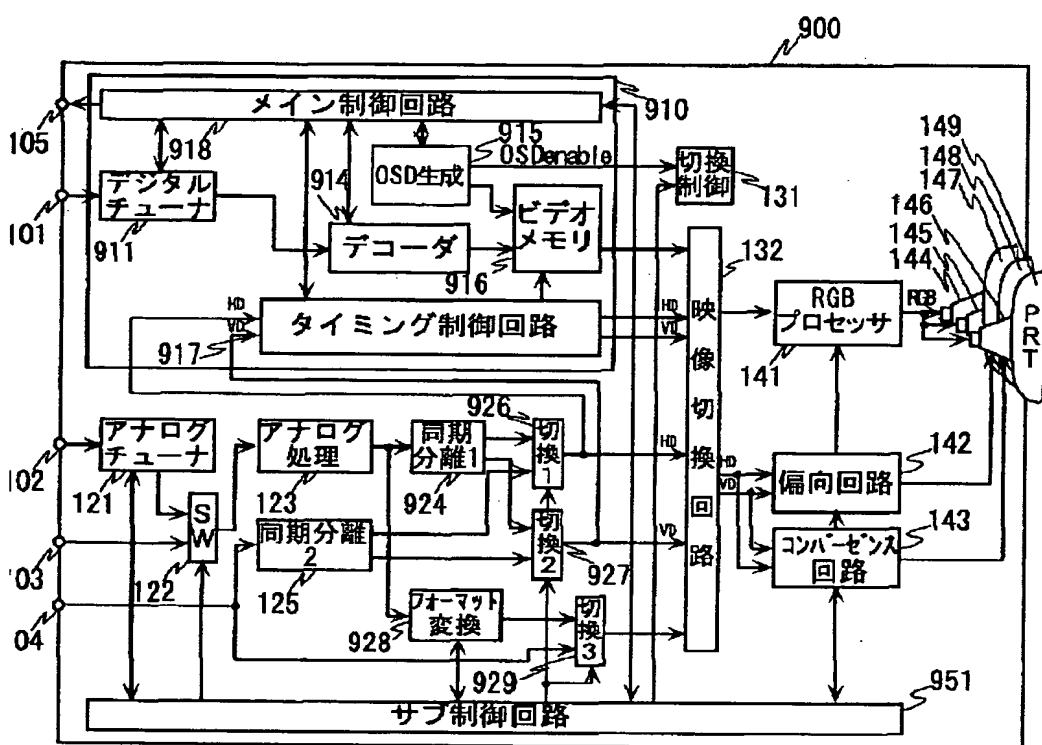
BEST AVAILABLE COPY

図 8



[Drawing 9]

図 9



BEST AVAILABLE COPY

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-158939
(P2002-158939A)

(43) 公開日 平成14年5月31日 (2002.5.31)

| | | | |
|---------------------------|-------|---------|-------------|
| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード (参考) |
| H 0 4 N | 5/445 | H 0 4 N | 5/445 |
| | 5/278 | | 5/278 |
| | | | Z 5 C 0 2 3 |
| | | | 5 C 0 2 5 |

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2000-352270 (P2000-352270)

(22) 出願日 平成12年11月20日 (2000.11.20)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 吉澤 和彦

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

最終頁に続く

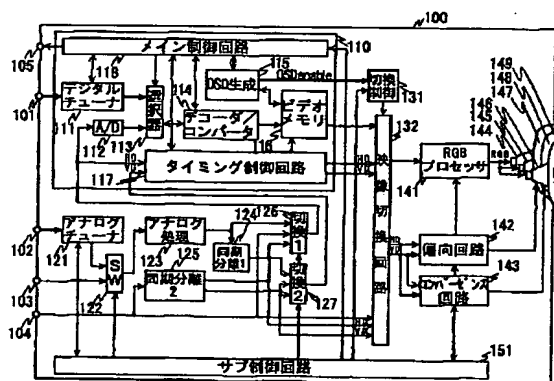
(54) 【発明の名称】 デジタル放送対応テレビジョン受信機

(57) 【要約】

【課題】 外部ビデオ入力端子から入力したビデオ信号が、デジタル放送受信回路における信号処理を必要とせず、それでいて、OSD情報の表示を可能とする。

【解決手段】 デジタル放送受信端子105で受信した映像信号に所定信号を重畳して表示する場合には、デジタル放送受信回路110において所定信号の生成及び生成した所定信号と受信した映像信号との重畳処理を行い、また外部ビデオ信号入力端子104から入力した映像信号に所定信号を重畳或いは選択して表示する場合には、デジタル放送受信回路110において所定信号の生成を行い、映像切換回路132において生成した所定信号と入力した映像信号との選択処理或いは重畳処理を行う。

図 1



【特許請求の範囲】

【請求項1】 デジタル放送受信端子と、前記デジタル放送受信端子からデジタル放送波を入力して圧縮データの復号処理を行う事が可能なデジタル放送受信回路と、外部ビデオ信号入力端子と、制御回路とを有するデジタル放送対応テレビジョン受信機において、

前記デジタル放送受信回路から出力された映像信号と前記外部ビデオ信号入力端子から入力した映像信号とを入力し、入力した映像信号の一方を選択して出力するか或いは重畳処理を施した映像信号を出力する映像切換回路と、前記映像切換回路の映像信号切換処理を制御する切

換制御回路とを備え、
前記デジタル放送受信端子で受信した映像信号に所定信号を重畳して表示する場合には、前記デジタル放送受信回路において所定信号の生成及び前記生成した所定信号と前記受信した映像信号との重畳処理を行い、また前記外部ビデオ信号入力端子から入力した映像信号に所定信号を重畳或いは選択して表示する場合には、前記デジタル放送受信回路において所定信号の生成を行い、前記映像切換回路において前記生成した所定信号と前記入力した映像信号との重畳処理或いは選択処理を行うことを特徴とするデジタル放送対応テレビジョン受信機。

【請求項2】 請求項1記載のデジタル放送対応テレビジョン受信機において、

前記デジタル放送受信回路は、出力する映像信号に生成した所定信号が含まれている場合には更にフラグ信号を出力する機能を有し、

前記映像切換回路は、前記デジタル放送受信回路から出力された映像信号と前記外部ビデオ信号入力端子から入力した映像信号の一方を選択して出力するスイッチからなり、

前記切換制御回路は、前記制御回路から出力される制御信号と前記デジタル放送受信回路から出力されるフラグ信号とに応じて、前記制御回路から出力される制御信号が前記外部ビデオ信号入力端子から入力した映像信号を選択するように指示し、且つ前記デジタル放送受信回路から出力されるフラグ信号が前記デジタル放送受信回路から出力される映像信号に所定信号が含まれていないことを示している場合にのみ、前記外部ビデオ信号入力端子から入力した映像信号を選択するように前記映像切換回路の映像信号切換処理を制御し、それ以外の場合には、前記デジタル放送受信回路から出力される映像信号を選択するように前記映像切換回路の映像信号切換処理を制御することを特徴とするデジタル放送対応テレビジョン受信機。

【請求項3】 請求項1記載のデジタル放送対応テレビジョン受信機において、

前記デジタル放送受信回路は、出力する映像信号に生成した所定信号が含まれている場合には更にフラグ信号を出力する機能を有し、

前記映像切換回路は、前記デジタル放送受信回路から出力された映像信号を m 倍する第1の係数器と、前記外部ビデオ信号入力端子から入力した映像信号を n 倍する第2の係数器と、前記第1の係数器の出力と前記第2の係数器の出力とを加算する加算器とを備えた構成からなり、

前記切換制御回路は、前記制御回路から出力される制御信号と前記デジタル放送受信回路から出力されるフラグ信号とに応じて、前記制御回路から出力される制御信号が前記デジタル放送受信回路から出力された映像信号を選択するように指示している場合には、前記デジタル放送受信回路から出力された映像信号と前記外部ビデオ信号入力端子から入力される映像信号とを $1:0$ で加算するように m 及び n を制御し（但し、 m 及び n は $m+n=1$ となる自然数である）、また前記制御回路から出力される制御信号が前記外部ビデオ信号入力端子から入力した映像信号を選択するように指示し、且つ前記デジタル放送受信回路から出力されるフラグ信号が前記デジタル放送受信回路から出力される映像信号に所定信号が含まれていないことを示している場合には、前記デジタル放送受信回路から出力される映像信号と前記外部ビデオ信号入力端子から入力される映像信号とを $0:1$ で加算するように m 及び n を制御し、更にそれ以外の場合には、前記デジタル放送受信回路から出力される映像信号と前記外部ビデオ信号入力端子から入力される映像信号とを予め設定しておいた比率で加算するように m 及び n を制御することを特徴とするデジタル放送対応テレビジョン受信機。

【請求項4】 請求項1、2または3記載のデジタル放送対応テレビジョン受信機において、

前記外部ビデオ信号入力端子から入力した映像信号を入力して水平同期信号及び垂直同期信号を検出する同期分離回路を更に備え、

前記外部ビデオ信号入力端子から入力した映像信号に所定信号を重畳して表示する場合には、前記デジタル放送受信回路は前記検出した水平同期信号及び垂直同期信号を入力して、前記入力した水平同期信号及び垂直同期信号に同期した所定信号の生成を行うことを特徴とするデジタル放送対応テレビジョン受信機。

【請求項5】 請求項4記載のデジタル放送対応テレビジョン受信機において、

前記同期分離回路は、前記外部ビデオ信号入力端子から入力した映像信号に所定信号を重畳して表示する場合にのみ、前記外部ビデオ信号入力端子から入力した映像信号からの水平同期信号及び垂直同期信号の検出動作を行うことを特徴とするデジタル放送対応テレビジョン受信機。

【請求項6】 請求項1乃至5のうちいずれか1項に記載のデジタル放送対応テレビジョン受信機において、

前記映像切換回路から出力された映像信号を表示装置に

供給して表示することを特徴とするデジタル放送対応テレビジョン受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はテレビジョン受信機に関し、特にデジタル放送を受信可能なデジタル放送受信回路を搭載して、デジタル放送番組とアナログ放送番組、外部入力端子から入力したビデオ信号に、適宜オン・スクリーン・ディスプレイ(On・Screen・Display: OSD)信号等の所定信号を選択或いは重畳して表示する事が可能なデジタル放送対応テレビジョン受信機に関する。

【0002】

【従来の技術】デジタル放送を受信可能なデジタル放送受信回路を搭載し、デジタル放送番組とアナログ放送番組とを適宜表示可能なデジタル放送対応テレビジョン受信機の一例が特開平11-41489号公報に記載されている。

【0003】この公報において、OSD情報を表示する場合、デジタル放送受信時にはデジタル放送の受信、復調、圧縮データの復号等を行うデジタル放送受信回路において、OSD信号の生成及び重畳処理も同時に行うようにしている。一方、アナログ放送受信時には、受信したアナログ映像信号を一旦デジタル信号に変換して上記デジタル放送受信回路に入力し、上記デジタル放送受信回路にてフォーマット変換処理及びOSD信号の重畳処理を行っている。また、上記公報に詳細な記載はないが、外部ビデオ入力端子から入力したビデオ信号にOSD信号を重畳する場合も、上記説明のアナログ放送受信時と同様の処理、即ち入力したビデオ信号を一旦デジタル信号に変換して上記デジタル放送受信回路に入力し、上記デジタル放送受信回路にてフォーマット変換処理及びOSD信号の重畳処理を行っている。

【0004】このように、アナログ放送の受信信号や外部ビデオ入力端子から入力したビデオ信号の場合、テレビジョン受信機では、デジタル放送受信回路にてフォーマット変換処理及びOSD信号の重畳処理を行っている。

【0005】

【発明が解決しようとする課題】しかしながら、外部ビデオ入力端子から入力したビデオ信号を、上記デジタル放送受信回路で信号処理を行いたくない場合がある。例えば、外部ビデオ入力端子から入力したビデオ信号が高精細フォーマットのビデオ信号である場合には、上記デジタル放送受信回路で信号処理を行うことで、A/D変換、D/A変換等に伴う画質劣化が発生してしまうため、入力した高精細フォーマットのビデオ信号はデジタル放送受信回路を通過させないことが望ましい。しかしながらこの場合、高精細フォーマットのビデオ信号は上記デジタル放送受信回路を通過しないため、OSD信号

の重畳処理を行うことができない。したがって、OSD信号の表示ができない。

【0006】本発明の目的は、外部ビデオ入力端子から入力したビデオ信号が、デジタル放送受信回路における信号処理を必要とせず、それにて、OSD情報の表示を可能とするデジタル放送対応テレビジョン受信機を提供することにある。

【0007】

【課題を解決するための手段】本発明は、デジタル放送受信端子と、前記デジタル放送受信端子からデジタル放送波を入力して圧縮データの復号処理を行う事が可能なデジタル放送受信回路と、外部ビデオ信号入力端子と、制御回路とを有するデジタル放送対応テレビジョン受信機において、前記デジタル放送受信回路から出力された映像信号と前記外部ビデオ信号入力端子から入力した映像信号とを入力し、入力した映像信号の一方を選択して出力するか或いは重畳処理を施した映像信号を出力する映像切換回路と、前記映像切換回路の映像信号切換処理を制御する切換制御回路とを備え、前記デジタル放送受信端子で受信した映像信号に所定信号を重畳して表示する場合には、前記デジタル放送受信回路において所定信号の生成及び前記生成した所定信号と前記受信した映像信号との重畳処理を行い、また前記外部ビデオ信号入力端子から入力した映像信号に所定信号を重畳或いは選択して表示する場合には、前記デジタル放送受信回路において所定信号の生成を行い、前記映像切換回路において前記生成した所定信号と前記入力した映像信号との重畳処理或いは選択処理を行うことを特徴とするデジタル放送対応テレビジョン受信機である。

【0008】本発明で、前記デジタル放送受信回路は、出力する映像信号に生成した所定信号が含まれている場合には更にフラグ信号を出力する機能を有し、前記映像切換回路は、前記デジタル放送受信回路から出力された映像信号と前記外部ビデオ信号入力端子から入力した映像信号の一方を選択して出力するスイッチからなり、前記切換制御回路は、前記制御回路から出力される制御信号と前記デジタル放送受信回路から出力されるフラグ信号とに応じて、前記制御回路から出力される制御信号が前記外部ビデオ信号入力端子から入力した映像信号を選択するように指示し、且つ前記デジタル放送受信回路から出力されるフラグ信号が前記デジタル放送受信回路から出力される映像信号に所定信号が含まれていないことを示している場合にのみ、前記外部ビデオ信号入力端子から入力した映像信号を選択するように前記映像切換回路の映像信号切換処理を制御し、それ以外の場合には、前記デジタル放送受信回路から出力される映像信号を選択するように前記映像切換回路の映像信号切換処理を制御することを特徴とするデジタル放送対応テレビジョン受信機である。

【0009】本発明で、前記デジタル放送受信回路は、

出力する映像信号に生成した所定信号が含まれている場合には更にフラグ信号を出力する機能を有し、前記映像切替回路は、前記デジタル放送受信回路から出力された映像信号を m 倍する第1の係数器と、前記外部ビデオ信号入力端子から入力した映像信号を n 倍する第2の係数器と、前記第1の係数器の出力と前記第2の係数器の出力とを加算する加算器とを備えた構成からなり、前記切替制御回路は、前記制御回路から出力される制御信号と前記デジタル放送受信回路から出力されるフラグ信号とに応じて、前記制御回路から出力される制御信号が前記デジタル放送受信回路から出力された映像信号を選択するように指示している場合には、前記デジタル放送受信回路から出力された映像信号と前記外部ビデオ信号入力端子から入力される映像信号とを $1:0$ で加算するように m 及び n を制御し(但し、 m 及び n は $m+n=1$ となる自然数である)、また前記制御回路から出力される制御信号が前記外部ビデオ信号入力端子から入力した映像信号を選択するように指示し、且つ前記デジタル放送受信回路から出力されるフラグ信号が前記デジタル放送受信回路から出力される映像信号に所定信号が含まれていないことを示している場合には、前記デジタル放送受信回路から出力される映像信号と前記外部ビデオ信号入力端子から入力される映像信号とを $0:1$ で加算するように m 及び n を制御し、更にそれ以外の場合には、前記デジタル放送受信回路から出力される映像信号と前記外部ビデオ信号入力端子から入力される映像信号とを予め設定しておいた比率で加算するように m 及び n を制御することを特徴とするデジタル放送対応テレビジョン受信機である。

【0010】本発明は、前記映像切替回路から出力された映像信号を表示装置に供給して表示することを特徴とするデジタル放送対応テレビジョン受信機である。

【0011】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態を説明する。

【0012】図1は、本発明におけるデジタル放送対応テレビジョン受信機の第1の実施の形態を示す構成図である。本実施の形態のデジタル放送対応テレビジョン受信機では、データ圧縮を施されて送信されたデジタル放送波を受信してデジタルデータのデコード等の信号処理を施された映像信号、また現行の例えばNTSC方式のアナログ放送波を受信して信号処理を施された映像信号及び外部ビデオ入力端子から入力した映像信号等を適宜選択或いは重畳して表示可能なプロジェクションテレビ(Projection・TV:PTV)である。

【0013】図1において、100はデジタル放送対応テレビジョン受信機であり、101はデジタル放送波の受信端子、102は現行のNTSC方式アナログ放送波の受信端子、103はVTR等の映像出力機器から出力される一般的なコンポジット映像信号を入力する外部コ

ンポジット映像信号入力端子、104はDVDプレーヤ等の映像出力機器から出力されるコンポーネント映像信号を入力する外部コンポーネント映像信号入力端子、105はデジタル放送対応テレビジョン受信機のデジタル放送受信状況を通信する通信端子である。

【0014】また、110はデジタル放送受信回路であり、111はデジタル放送波の選局、復調、エラー訂正等の信号処理を行うデジタルチューナ、112はアナログ映像信号をデジタル映像データに変換するA/D変換回路、113はデジタルチューナ111から出力されたデータ列とA/D変換回路112から出力されたデジタル映像データとを選択出力する選択器、114は入力したデジタルデータに対して、入力データがデジタルチューナ111から出力されたデータ列である場合には主に圧縮データの復号処理を行い、入力データがA/D変換回路112から出力されたデジタル映像データである場合には主にフォーマット変換処理を行うデコーダ/コンバータ、115は調整用メニュー等のOSD情報を生成するOSD生成回路、116は出力段にD/A変換回路を有するビデオメモリ、117はビデオメモリ116の信号出力タイミングを制御し、同時に水平同期信号H、D、及び垂直同期信号VDを生成するタイミング制御回路、118は主にデジタル放送受信回路110の制御を行うメイン制御回路である。

【0015】また、121はアナログ放送波の選局、復調等の信号処理を行うアナログチューナ、122はアナログチューナ121から出力された映像信号と外部コンポジット映像信号入力端子103から入力した映像信号とを選択するビデオセレクタ、123はビデオセレクタ122から出力された映像信号にY/C分離処理、色復調処理等の信号処理を施すアナログ信号処理回路、124はアナログ信号処理回路123から出力された映像信号の輝度信号から垂直同期信号VDを検出する第1の同期分離回路、125は外部コンポーネント映像信号入力端子104から入力された映像信号の輝度信号から水平同期信号HD及び垂直同期信号VDを検出する第2の同期分離回路である。

【0016】また、126は後述のサブ制御回路の命令に従ってアナログ信号処理回路123から出力される映像信号と外部コンポーネント映像信号入力端子104から入力される映像信号と第2の同期分離回路125から出力される水平同期信号HDとを選択する第1の切替回路、127はサブ制御回路の命令に従って第1の同期分離回路124から出力される垂直同期信号VDと第2の同期分離回路125から出力される垂直同期信号VDとを選択する第2の切替回路、131はOSD生成回路115から出力されるOSDイネーブル信号と後述のサブ制御回路から出力される制御命令とに応じて後述の映像切替回路の切替制御を行う切替制御回路、132は切替制御回路131の出力に応じてデジタル放送受信回路1

10から出力される映像信号、水平同期信号HD、垂直同期信号VDと、外部コンポーネント映像信号入力端子104から入力される映像信号、第2の同期分離回路125から出力される水平同期信号HD、垂直同期信号VDとを選択出力する映像切換回路である。

【0017】また、141は映像切換回路132から出力される映像信号を入力し、RGBの各原色信号への変換処理、後述の投写管をドライブするための信号処理等を行うRGBプロセッサ、142は水平同期信号HD及び垂直同期信号VDを入力し、水平偏向波形及び垂直偏向波形を生成する偏向回路、143は水平同期信号HD及び垂直同期信号VDを入力し、コンバーゼンス補正波形を生成するコンバーゼンス回路、144、145、146はそれぞれR投写管用、G投写管用、B投写管用の偏向ヨーク及びコンバーゼンスヨークを搭載したDY/CYユニット、147、148、149はそれぞれR信号用投写管、G信号用投写管、B信号用投写管であり、151はメイン制御回路118の指示に従い、主に本デジタル放送対応テレビジョン受信機100のデジタル放送受信回路110以外の部分を制御するサブ制御回路である。

【0018】まずデジタル放送を受信する場合、受信したデジタル放送映像にOSD信号を重畳する場合に関して説明する。

【0019】デジタル放送受信用アンテナ（図示していない）を介してデジタル放送受信端子101に入力されたデジタル放送波は、デジタル放送受信回路110内のデジタルチューナ111に入力される。デジタルチューナ111ではメイン制御回路118の命令に従い、選局及び復調処理、エラー訂正処理等が施される。デジタルチューナ111から出力されるデータは、一般的にトランスポートストリーム（Transport Stream：以下TSという）と呼ばれるデジタルデータ列であり、バケット化された音声データ、映像データ、制御データ等で構成される。デジタルチューナ111から出力されたTSは選択器113を介してデコーダ/コンバータ114に入力される。デコーダ/コンバータ114は圧縮データの復号機能、デジタル映像データのフォーマット変換機能等を有するデジタル信号処理回路である。

【0020】デジタル放送受信時、受信及び選局した映像信号が高精細フォーマットである場合には圧縮データの復号処理のみを行い、また受信及び選局した映像信号が標準フォーマットである場合には圧縮データの復号処理及びフォーマット変換処理を行う。なお、本実施の形態で行う圧縮データの復号処理は一般的なMPEG2方式圧縮データの復号処理と同様とし、また圧縮データの復号処理は本発明の特徴をなす主要機能ではないため、本実施の形態では詳細な説明は省略する。

【0021】図2は、図1のデコーダ/コンバータ11

4におけるフォーマット変換処理を説明する図である。本実施の形態のデジタル放送対応テレビジョン受信機は、画面のアスペクト比が16:9であるものとし、デジタルチューナ111にて選局し、デコーダ/コンバータ114にて復号した映像データが、同図(A)に示したような高精細フォーマット、アスペクト比16:9、有効走査線1080本のインタレース信号の場合には、フォーマット変換を行わずにそのまま出力する。一方、同図(B)に示したような標準フォーマット、アスペクト比4:3、有効走査線480本のインタレース信号の場合には、フォーマット変換処理を行う。即ち、アスペクト比が16:9となるように表示画面の左右にサイドパネル部を付加し、更に有効走査線が540本のプログレッシブ信号となるようにデジタル信号処理による補間演算を行う等である。

【0022】上記のように有効走査線480本のインタレース信号を有効走査線540本のプログレッシブ信号に変換する処理は、複雑なデジタル信号処理回路を必要とする。しかし、上記処理により高精細フォーマットの映像データを画面表示する場合も、標準フォーマットの映像データを画面表示する場合も、その水平偏向周波数は同一となり、したがって複雑なマルチスキャン水平偏向回路を必要とせず、シングルスキャンの水平偏向回路で実現できる。

【0023】また、デジタルチューナ111にて選局し、デコーダ/コンバータ114にて復号した映像データが上記説明とは異なる別のフォーマットを有する信号の場合も、フォーマット変換によりアスペクト比16:9、有効走査線1080本のインタレース信号、或いはアスペクト比16:9、有効走査線540本のプログレッシブ信号に変換すると良い。なお、マルチスキャン水平偏向回路を使用すれば、上記フォーマット変換処理が不要となることはいうまでもない。

【0024】デコーダ/コンバータ114は圧縮データの復号処理を行うと同時に、メイン制御回路118と通信を行う。メイン制御回路118はデコーダ/コンバータ114からの情報に基づき、デジタル放送の受信状況を、通信端子105を通じてデジタル放送供給者に知らせるようにする。受信したデジタル放送波が有料放送の場合には上記受信状況に基づいて受信料が課金される。

【0025】ビデオメモリ116では、デコーダ/コンバータ114から出力された映像データを順次書き込んでいき、1フィールド分のデータが揃い次第、D/A変換回路でアナログ信号に変換した映像信号、をタイミング制御回路117で生成する水平同期信号HD及び垂直同期信号VDの出力タイミングにあわせて、出力していく。

【0026】なお、デコーダ/コンバータ114における圧縮データの復号処理とタイミング制御回路117における同期信号生成処理とは、一般的に非同期の動作と

なる場合が多い。したがって本実施の形態では、ビデオメモリ116は少なくとも1フィールド分以上の映像データを蓄積可能な読み書き兼用メモリ(Random Access Memory:以下RAMという)を有する構成とし、フィールド単位で映像データの間引き、繰り返しを行うことにより、デコーダ/コンバータ114の動作タイミングとタイミング制御回路117の動作タイミングとのずれを補正するようにしている。

【0027】図3は、図1のデコーダ/コンバータ114における圧縮データの復号処理が、タイミング制御回路117における同期信号生成処理と比較して遅い場合の、ビデオメモリ116の映像信号出力動作のタイミングを示す図である。同図において、301はデコーダ/コンバータ114から出力される映像データ、302はタイミング制御回路117から出力される垂直同期信号VD、303はビデオメモリ116から出力される、アナログ信号に変換された映像信号である。

【0028】同図では、途中フィールド3の映像信号を繰り返し出力することにより、デコーダ/コンバータ114の動作タイミングとタイミング制御回路117の動作タイミングとのずれを補正している。また、本実施の形態ではデコーダ/コンバータ114から出力される映像データが輝度信号及び色差信号のYPbPr形式のデータであるものとし、したがって、ビデオメモリ116内のRAMはY信号用、Pb信号用、Pr信号用の合計3フィールド分のデータ容量を持つものとする。なお、デコーダ/コンバータ114の動作タイミングとタイミング制御回路117の動作タイミングとのずれの補正を、ライン単位での映像データの間引き、繰り返しにより行うこととすれば、ビデオメモリ116内のRAMのデータ容量は合計3ライン分で良い。

【0029】デジタル放送受信時、映像信号に重畳してOSD情報を表示させる場合には、映像信号とOSD信号との重畳処理をビデオメモリ116にて行う。OSD情報を画面に表示させる場合には、まずOSD生成回路115にてOSD信号を生成する。生成したOSD信号はビデオメモリ116に書き込まれることにより映像信号上に重畳される事になる。なお、OSD信号のビデオメモリ116への書き込みは、OSDデータをビデオメモリ116に書き込まれている映像データと画素ごとに置き換えることにより実現できる。なお上記データの置き換え処理は垂直同期期間等に行うようにする良い。

【0030】図4は、図1のビデオメモリ116におけるOSD信号重畳処理手順の例を示す図である。同図において、401はタイミング制御回路117で生成する水平同期信号HD、402はデコーダ/コンバータ114から出力される映像データ、403はOSD生成回路115から出力されるOSD信号、404はビデオメモリ116から出力されるところの、OSD信号が重畳され且つアナログ信号に変換された映像信号である。

【0031】同図に示したように、OSD情報を表示する場合、デジタル放送受信時には、デジタル放送受信回路110から出力される映像信号に既にOSD信号が重畳された状態で映像信号が出力される。なお、同図では説明を簡単にするために、デコーダ/コンバータ114の動作タイミングとタイミング制御回路117の動作タイミングのずれはないものとしている。

【0032】デジタル放送受信回路110から出力された映像信号及び水平同期信号HDならびに垂直同期信号VDは、映像切換回路132に入力される。デジタル放送受信時には、映像切換回路132はサブ制御回路151から出力される制御信号にのみ応じて、デジタル放送受信回路110から出力された映像信号及び水平同期信号HDならびに垂直同期信号VDを選択出力する。

【0033】RGBプロセッサ141では入力した映像信号(本実施の形態ではYPbPr形式)をRGBの各原色信号に変換する処理、入力信号電圧を、投写管147、148、149をドライブするための電圧に増幅する処理、直流再生、色相調整、輪郭補正等の処理を行う。また、偏向回路142では入力した水平同期信号HD及び垂直同期信号VDに同期させて偏向波形を生成し、DY/CYユニット144、145、146に搭載された偏向ヨークを介して投射管147、148、149の電子ビームの偏向を制御する。コンバーゼンス回路143では各色のコンバーゼンス調整を行うためのコンバーゼンス補正波形を生成する。

【0034】以上の処理により、デジタル放送受信時には、必要に応じてOSD情報を適宜表示させつつ受信したデジタル放送番組を映出することができる。

【0035】次にアナログ放送を受信する場合及びVTR等の映像出力機器から出力される一般的なコンポジット映像信号を、外部コンポジット映像信号入力端子から入力する場合、上記映像信号にOSD信号を重畳する場合について説明する。

【0036】アナログ放送を受信する場合、アナログ放送受信用アンテナ(図示していない)を介してアナログ放送受信端子102に入力されたアナログ放送波は、アナログチューナ121に入力される。アナログチューナ121ではサブ制御回路151の命令に従い、選局、復調処理等を施され、ビデオセクタ122に出力される。一方、外部コンポジット映像信号入力端子103から入力されたところの、VTR等の映像出力機器から出力された一般的なコンポジット映像信号は、そのままビデオセクタ122に入力される。

【0037】ビデオセクタ122では、サブ制御回路151の命令に従い映像信号の選択を行う。ビデオセクタ122から出力される映像信号はアナログのコンポジット信号であり、アナログ信号処理回路123において、Y/C分離処理、色復調処理等の信号処理を施される。なお、このアナログ信号処理回路123では必要に

応じて信号形式の変換処理も行。即ち、例えばY/C分離処理及び色復調処理を終えた映像信号がYIQの形式であり、後段の信号処理回路（本実施の形態ではデジタル放送受信回路110内のデコーダ/コンバータ114）が必要とする信号形式が、YPbPrの形式である場合には、YIQ形式からYPbPr形式への信号処理による形式変換を行う。

【0038】アナログ信号処理回路123から出力された映像信号は、第1の切換回路126を介してデジタル放送受信回路110内のA/D変換回路112に入力される。A/D変換回路112でデジタルデータに変換された映像データは、選択器113を介してデコーダ/コンバータ114に入力され、フォーマット変換処理を施される。

【0039】アナログ放送を受信する場合及び外部コンポジット映像信号入力端子103からコンポジット映像信号を入力する場合には、デコーダ/コンバータ114はデジタルデコーダとしては機能せず、フォーマット変換回路として機能する。即ち、アナログ放送の受信映像及び外部コンポジット映像信号入力端子103から入力したコンポジット映像信号は、一般的に図2(B)に示したものと同様にアスペクト比4:3、有効走査線480本のインタレース信号である。したがって、上記説明と同様にシングルスキャンの水平偏向回路の使用を可能とするために、本実施の形態ではフォーマット変換を行っている。

【0040】デコーダ/コンバータ114でフォーマット変換処理を施された映像データは、ビデオメモリ116に入力され、以後デジタル放送受信時と同様の処理を施される。OSD情報の表示を行う場合も同様であり、したがって、アナログ放送受信時及び外部コンポジット信号入力端子からコンポジット映像信号を入力した場合に、必要に応じてOSD情報を適宜表示させつつ上記映像信号を映出する事ができる。

【0041】次に、外部コンポーネント映像信号入力端子104からコンポーネント映像信号を入力する場合、入力したコンポーネント映像信号にOSD信号を重畳する場合について説明する。

【0042】DVDプレーヤ、デジタル放送受信セット・トップ・ボックス(Set・Top・Box:STB)等の映像出力機器のコンポーネント映像出力端子或いはD端子から出力された映像信号を、外部コンポーネント映像信号入力端子104を介して入力した場合、特に入力した映像信号が高精細フォーマットのコンポーネント映像信号である場合には、上記説明のデジタル放送受信時やアナログ放送受信時、外部コンポジット映像信号入力端子から映像信号を入力した場合のように、圧縮データの復号処理や、Y/C分離処理、色復調処理、フォーマット変換処理、等の信号処理が一切不要となる。

【0043】したがって、外部コンポーネント映像信号

入力端子104から高精細フォーマットのコンポーネント映像信号を入力した場合、入力した映像信号は直接映像信号切換回路132に入力される。ただし、本実施の形態では外部コンポーネント映像信号入力端子104から高精細フォーマットのコンポーネント映像信号を入力した場合にもOSD情報の表示を行うために、以下の処理を行うことによりデジタル放送受信回路110をOSD情報発生回路として機能させる。

【0044】デジタル放送受信回路110をOSD情報発生回路として機能させるに、まずデコーダ/コンバータ114から出力される映像データのビデオメモリ116への書き込みを停止する。次にOSD生成回路115で生成したOSD信号のみをビデオメモリ116に書き込んでいき、書き込まれたOSD信号をビデオメモリ116内部のD/A変換回路でアナログ映像信号に変換して出力する。同時にOSD生成回路115からはOSDイネーブル信号を出力する。このOSDイネーブル信号はビデオメモリ116から出力された映像信号にOSD信号が存在しているか否かを示すフラグ信号であり、本実施の形態ではOSDイネーブル信号が‘H’の場合、映像信号にOSD信号が存在していることを示している。

【0045】なお上記説明の、デジタル放送受信回路110から出力されるOSD信号及びOSDイネーブル信号は、高精細フォーマットのコンポーネント映像信号に、水平タイミング及び垂直タイミングで同期している必要がある。したがって、外部コンポーネント映像信号入力端子104から入力した高精細フォーマットのコンポーネント映像信号は、映像切換回路132に入力されると同時に、第2の同期分離回路125に入力され、水平同期信号HD及び垂直同期信号VDの検出処理を施される。

【0046】検出した水平同期信号HD及び垂直同期信号VDは、それぞれ第1の切換回路126及び第2の切換回路127を介してデジタル放送受信回路110内のタイミング制御回路117に入力される。また、第2の同期分離回路125における水平同期信号HD及び垂直同期信号VDの検出処理は、外部コンポーネント映像信号入力端子104から高精細フォーマットのコンポーネント映像信号を入力した場合にのみ動作させるようにすると良い。このようにすることにより、デジタル放送を受信した場合や、アナログ放送を受信した場合、VTR等の映像出力機器から一般的なコンポジット映像信号を入力した場合等に、表示画像に同期妨害を生じる事を防止することが可能となる。

【0047】タイミング制御回路117では、高精細フォーマットのコンポーネント映像信号から検出した水平同期信号HD及び垂直同期信号VDを基準として、ビデオメモリ116の信号出力タイミングを制御するための制御信号を生成する。具体的には一般的なPLL(Ph

ase・Locked・Loop)回路等を用いて水平同期信号HDに同期した基本クロックを生成し、垂直同期信号VDでリセットする少なくともフィールド周期のカウントアップが可能なカウンタを駆動する。このカウンタで生成した制御信号により、ビデオメモリ116の出力タイミングを制御する。

【0048】外部コンポーネント映像信号入力端子104から入力した高精細フォーマットのコンポーネント映像信号と、デジタル放送受信回路110で生成したOSD信号のみで構成された映像信号との重畳処理は、切換制御回路131及び映像切換回路132にて行う。

【0049】図5は、図1の切換制御回路131及び映像切換回路132の内部構成の一例を示す図である。図6は、図5の動作タイミングを示す図である。

【0050】図5において、131及び132は図1に示した切換制御回路131及び映像切換回路132であり、更に501は図1のデジタル放送受信回路110内のOSD生成回路115から出力されるOSDイネーブル信号を入力する入力端子、502はサブ制御回路151からの制御信号を入力する入力端子、503はデジタル放送受信回路110内のビデオメモリ116から出力される映像信号を入力する入力端子、504は外部コンポーネント映像信号入力端子104から入力した高精細フォーマットのコンポーネント映像信号を入力する入力端子、505はOSD信号との重畳処理を終えた映像信号を出力する出力端子である。

【0051】また、513は切換制御回路131を構成するOR回路、514は映像切換回路132を構成する回路であって、入力した映像信号の一方を選択出力するスイッチである。なお、映像切換回路132は、本来水平同期信号HD及び垂直同期信号VDの選択出力回路も有しているが、上記選択出力回路は単純な2対1のマルチプレクサでよいとため、同図では記載を省略している。

【0052】また、図6において、601は水平同期信号HD、602は外部コンポーネント映像信号入力端子104から図5の入力端子504に入力される高精細フォーマットのコンポーネント映像信号、603はデジタル放送受信回路110内のビデオメモリ116から出力されて図5の入力端子503に入力されるOSD信号、604はOSDイネーブル信号、605は映像切換回路132の出力端子505から出力されるOSD信号の重畳処理を終えた映像信号である。

【0053】本実施の形態では、切換制御回路131は単純なOR回路である。また、サブ制御回路151から出力されて制御信号入力端子502に入力される制御信号は、外部コンポーネント映像信号入力端子104から入力した高精細フォーマットの映像信号を表示する場合には‘L’、上記以外の場合には‘H’となる信号である。したがって、スイッチ514は、外部コンポーネント映像信号入力端子104から入力した高精細フォー

ットの映像信号を表示する場合、基本的には入力端子504から入力した映像信号を選択出力する。

【0054】一方、OSD情報発生回路として機能しているデジタル放送受信回路110から出力された映像信号にOSD信号が存在する場合には、OSDイネーブル信号が‘H’となるので、その期間のみ入力端子503から入力したOSD信号を選択出力する。その結果、映像信号605のような、OSD信号の重畳された映像信号が出力端子505から出力されることになる。

【0055】図7は、図1の切換制御回路131及び映像切換回路132の内部構成の別の例を示す図である。また、図8は、図7の動作タイミングを示す図である。

【0056】図7において、131及び132は図1に示した切換制御回路131及び映像切換回路132であり、更に701は図1のデジタル放送受信回路110内のOSD生成回路115から出力されるOSDイネーブル信号を入力する入力端子、702はサブ制御回路151からの制御信号を入力する入力端子、703はデジタル放送受信回路110内のビデオメモリ116から出力される映像信号を入力する入力端子、704は外部コンポーネント映像信号入力端子104から入力した高精細フォーマットのコンポーネント映像信号を入力する入力端子、705はOSD信号との重畳処理を終えた映像信号を出力する出力端子である。

【0057】また、713は加算制御回路であって、切換制御回路131を構成する。714は入力した映像信号をm倍する第1の係数器、715は入力した映像信号をn倍する第2の係数器、716は第1の係数器714と第2の係数器加算器716を加算する加算器であって、映像切換回路132を構成する。なお、係数値m及びnは $m+n=1$ となる自然数であり、加算制御回路713により制御される。また、映像切換回路132が水平同期信号HD及び垂直同期信号VDの選択出力回路の記載を省略しているのは、本実施の形態でも同様である。

【0058】また、図8において、801は水平同期信号HD、802は外部コンポーネント映像信号入力端子104から図7の入力端子704に入力される高精細フォーマットのコンポーネント映像信号、803はデジタル放送受信回路110内のビデオメモリ116から出力されて図7の入力端子703に入力されるOSD信号、804はOSDイネーブル信号、805及び806は出力端子705から出力されるOSD信号の重畳処理を終えた映像信号である図7に示した回路を用いることにより、外部コンポーネント映像信号入力端子104から入力した高精細フォーマットのコンポーネント映像信号にOSD情報を重畳して表示する場合、OSDイネーブル信号とサブ制御回路151からの制御信号に応じて、OSD信号と高精細フォーマットの映像信号とを、m:nで加算することになり、OSD信号を表示している部分

においても元の映像信号が透過するため、映像信号の内容確認が容易になる。例えば、 $m:n=2:2$ であれば、OSD信号と高精細フォーマットの映像信号との加算信号は図8の映像信号805のようになり、また $m:n=3:1$ とすれば図8の映像信号806のような映像信号が出力端子705から出力されることになる。

【0059】なお、本実施の形態では、外部コンポーネント映像信号入力端子104から入力した高精細フォーマットのコンポーネント映像信号を、OSD信号を重畳せずに表示する場合には、 $m:n=0:4$ となり、逆に

デジタル放送受信回路110から出力された映像信号を表示する場合には $m:n=4:0$ となる。

【0060】以上の処理により、外部コンポーネント入力端子104から入力した高精細フォーマットのコンポーネント映像信号に、デジタル放送受信回路を通過させること無くOSD信号の重畳処理が可能となる。

【0061】図9は、本発明におけるデジタル放送対応テレビジョン受信機の第2の実施の形態を示す構成図である。図9において、図1と同一の番号を有するものは図1と同様に機能するものであり、詳細な説明を省略する。

【0062】900は本実施の形態におけるデジタル放送対応テレビジョン受信機、910はデジタル放送受信回路、911はデジタル放送波の選局、復調、エラー訂正等の信号処理を行うデジタルチューナ、914は入力したデジタルデータに対して、圧縮データの復号処理を行うデジタルデコーダ、915は調整用メニュー等のOSD情報を生成するOSD生成回路、916は出力段にD/A変換回路を有するビデオメモリ、917はビデオメモリ916の信号出力タイミングを制御し、同時に水平同期信号HD及び垂直同期信号VDを生成するタイミング制御回路、918は主にデジタル放送受信回路910の制御を行うメイン制御回路である。

【0063】また、924はアナログ信号処理回路123から出力された映像信号の輝度信号から水平同期信号HD及び垂直同期信号VDを検出する第1の同期分離回路、926は後述のサブ制御回路の命令に従って第1の同期分離回路924から出力される水平同期信号HDと第2の同期分離回路125から出力される水平同期信号HDとを選択する第1の切替回路、927は後述のサブ制御回路の命令に従って第1の同期分離回路924から出力される垂直同期信号VDと第2の同期分離回路125から出力される垂直同期信号VDとを選択する第2の切替回路、928はフォーマット変換回路、929は外部コンポーネント映像信号入力端子104から入力した高精細フォーマットのコンポーネント映像信号とフォーマット変換回路928から出力された映像信号とを選択する第3の切替回路、951はメイン制御回路918の指示に従い、主に本デジタル放送対応テレビジョン受信機のデジタル放送受信回路910以外の部分を制御する

サブ制御回路である。

【0064】本実施の形態のデジタル放送対応テレビジョン受信機では、デジタル放送を受信する場合は、図1に示した実施例と同様の処理を施される。また、アナログ放送を受信する場合及び外部コンポジット映像信号入力端子103から一般的なコンポジット映像信号を入力する場合も、アナログ信号処理回路123で信号処理を終えるまでは、図1の実施の形態と同様である。更に、アナログ信号処理回路123から出力されたY/C分離処理、色復調処理等を施された映像信号は、第1の同期分離回路924に入力されると共にフォーマット変換回路928に入力される。

【0065】本実施の形態では、アナログ放送波の受信映像信号や、外部コンポジット映像信号入力端子103から入力したコンポジット映像信号は、デジタル放送受信回路910での信号処理を行わない。したがって、専用のフォーマット変換回路928が必要となる。フォーマット変換回路928におけるフォーマット変換処理は、図2(B)に示した処理と同様である。いうまでもなく、フォーマット変換処理を行わずに、偏向回路部においてマルチスキャン水平偏向回路を使用してもよい。

【0066】OSD情報表示時のOSD信号の重畳処理は、図1の実施の形態の外部コンポーネント映像信号入力端子104からコンポーネント映像信号を入力する場合の処理と同様に行う。したがって、デジタル放送受信回路910への水平同期信号HD及び垂直同期信号VDの供給が必要であり、したがって本実施の形態では、第1の同期分離回路924にて水平同期信号HD及び垂直同期信号VDの検出を行うようにしている。

【0067】外部コンポーネント映像信号入力端子104からコンポーネント映像信号を入力する場合、入力したコンポーネント映像信号にOSD信号を重畳する場合には、図1の実施の形態と同様であり、したがって図1の実施の形態と同様に、外部コンポーネント入力端子104から入力した高精細フォーマットのコンポーネント映像信号に、デジタル放送受信回路を通過させること無くOSD信号の重畳処理が可能となる。

【0068】以上説明の実施の形態では、本装置を、データ圧縮を施されて送信されたデジタル放送波を受信してデジタルデータのデコード等の信号処理を施された映像信号、また現行の例えばNTSC方式のアナログ放送波を受信して信号処理を施された映像信号及び外部ビデオ入力端子から入力した映像信号等を適宜選択或いは重畳して表示可能なデジタル放送対応PTVとして説明したが、本発明の効果はPTVに限らず、例えば直視型のブラウン管テレビ、液晶テレビ、フロント投写型プロジェクタ等でも適用可能である。

【0069】

【発明の効果】本発明によれば、外部ビデオ入力端子から入力したビデオ信号が、デジタル放送受信回路におけ

10

20

30

40

50

る信号処理を必要とせず、それだけで、OSD情報の表示を可能とするデジタル放送対応テレビジョン受信機を提供することができる。

【図面の簡単な説明】

【図1】本発明におけるデジタル放送対応テレビジョン受信機の第1の実施の形態を示す構成図である。

【図2】図1のデコーダ/コンバータ114におけるフォーマット変換処理を説明する図である。

【図3】図1のデコーダ/コンバータにおける圧縮データの復号処理が、タイミング制御回路における同期信号生成処理と比較して遅い場合の、ビデオメモリの映像信号出力動作のタイミングを示す図である。

【図4】図1のビデオメモリにおけるOSD信号重畳処理手順の例を示す図である。

【図5】図1の切換制御回路及び映像切換回路の内部構成の一例を示す図である。

【図6】図5の動作タイミングを示す図である。

【図7】図1の切換制御回路及び映像切換回路の内部構成の別の例を示す図である。

【図8】図7の動作タイミングを示す図である。

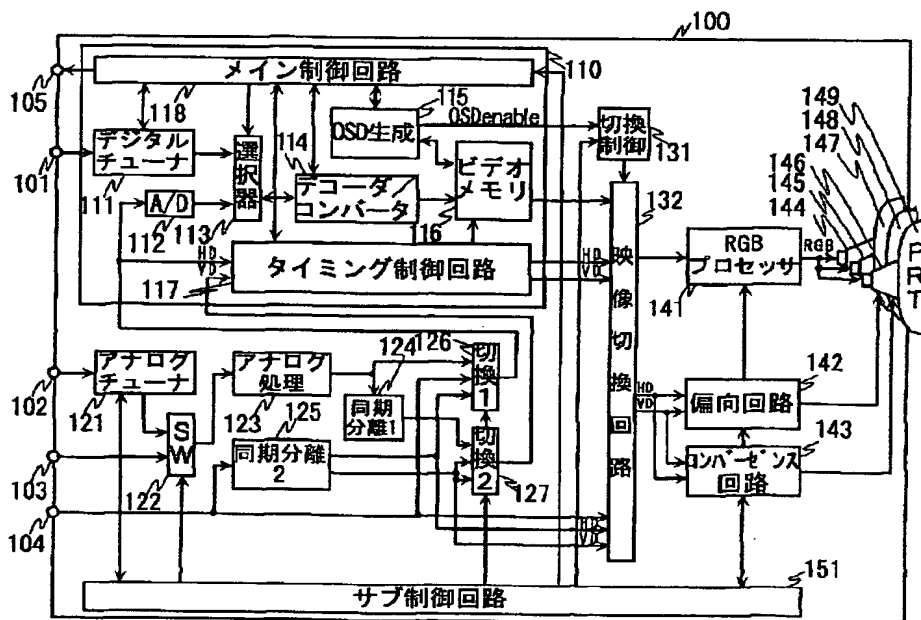
【図9】本発明におけるデジタル放送対応テレビジョン受信機の第2の実施の形態を示す構成図である。

*【符号の説明】

100…デジタル放送対応テレビジョン受信機、101…デジタル放送波の受信端子、102…アナログ放送波の受信端子、103…外部コンポジット映像信号入力端子、104…外部コンポーネント映像信号入力端子、105…通信端子、110…デジタル放送受信回路、111…デジタルチューナ、112…A/D変換回路、113…選択器、114…デコーダ/コンバータ、115…OSD生成回路、116…ビデオメモリ、117…タイミング制御回路、118…メイン制御回路、121…アナログチューナ、122…ビデオセクタ、123…アナログ信号処理回路、124…第1の同期分離回路、125…第2の同期分離回路、126…第1の切換回路、127…第2の切換回路、131…切換制御回路、132…映像切換回路、141…RGBプロセッサ、142…偏向回路、143…コンバーゼンス回路、144、145、146…DY/CYユニット、147、148、149…投写管、151…サブ制御回路、513…OR回路、514…スイッチ、713…加算制御回路、714…第1の係数器、715…第2の係数器、716…加算器。

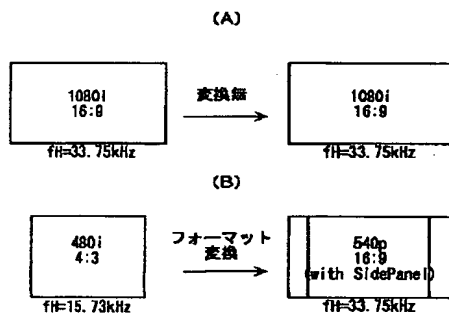
【図1】

図 1



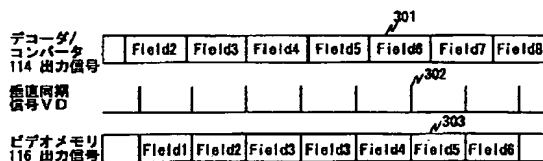
【図2】

図 2



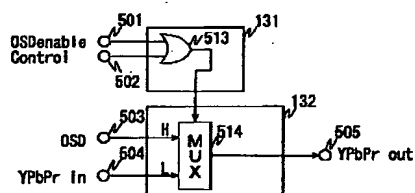
【図3】

図 3



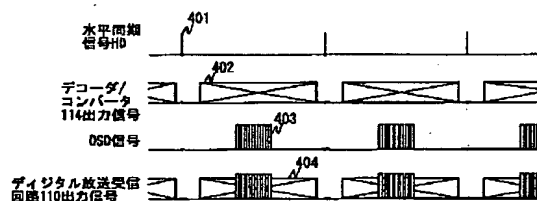
【図5】

図 5



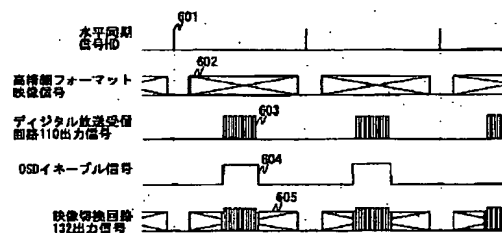
【図4】

図 4



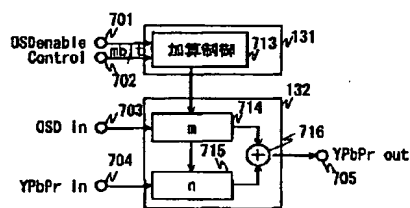
【図6】

図 6



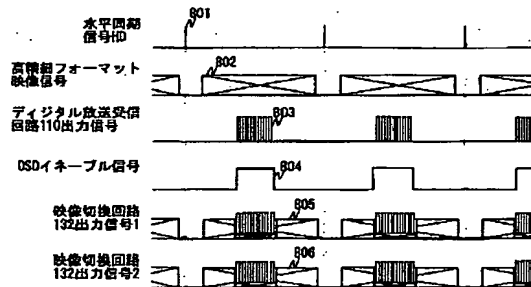
【図7】

図 7



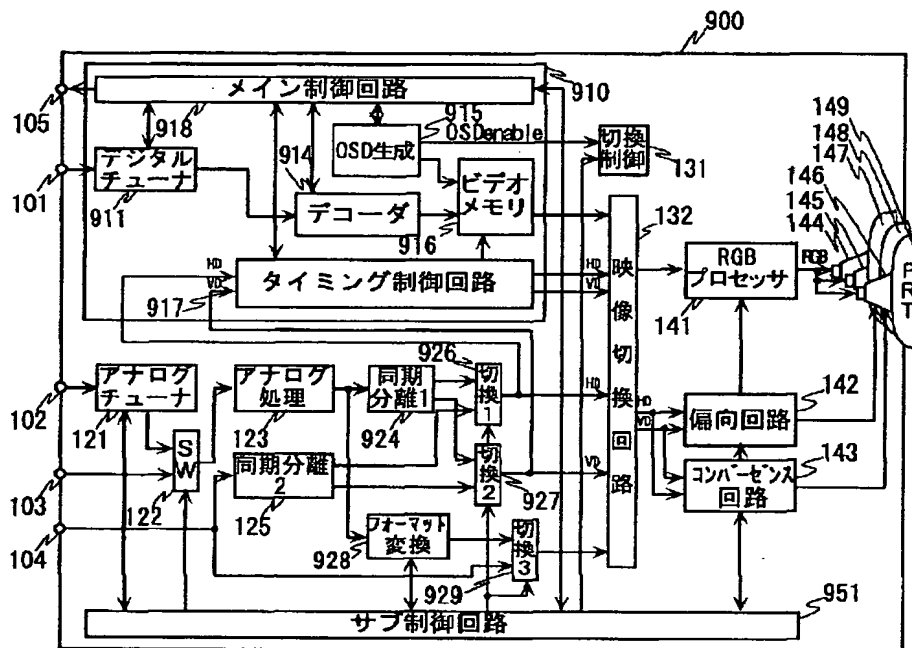
【図8】

図 8



【図9】

図 9



BEST AVAILABLE COPY

フロントページの続き

(72)発明者 渡辺 敏光
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所デジタルメディア開発本
 部内

(72)発明者 野中 保志
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立画像情報システム内

(72)発明者 中村 慎一
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立画像情報システム内

F ターム(参考) SC023 AA02 AA11 AA21 BA01 BA12
BA15 CA03 CA08 DA04 DA08
EA02 EA03
SC025 AA30 BA28 CA03 CA09 CB10
DA01 DA05